

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150182

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L	21/76	H 0 1 L	21/76 R
	21/265		27/12 E
	27/12		21/265 F
			21/76 J
			L
審査請求 未請求 請求項の数19 O L (全 11 頁)			

(21) 出願番号 特願平10-257791

(22) 出願日 平成10年(1998) 9月11日

(31) 優先権主張番号 08/929730

(32) 優先日 1997年9月15日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 トシハル・フルカワ

アメリカ合衆国 05452 バーモント州

エセックス ジャンクション オークウッド レーン 9

(74) 代理人 弁理士 坂口 博 (外1名)

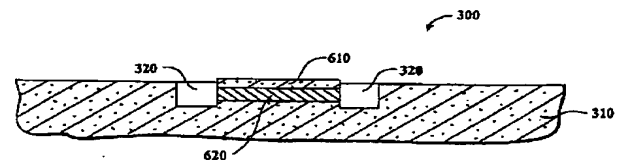
最終頁に続く

(54) 【発明の名称】 1つのウェハ上にSOIデバイスと非SOIデバイスとを作製する方法

(57) 【要約】

【課題】 1つのウェハ上にSOIデバイスと非SOIデバイスとを作製する方法を提供する。

【解決手段】 ウェハ上に形成されたストレス界面領域320は、標準的なバルクCMOS (非SOI) デバイスおよびSOIデバイスは、同一ウェハ上に信頼性良く作製することを可能にする。SOIデバイス領域と非SOIデバイス領域との間に典型的に存在する高ストレス界面は、高ストレスが低減され緩和される領域に轉移される。典型的に、このことは、高ストレス界面が、浅いトレンチ分離 (STI) 領域に類似のウェハ領域上に存在するように作製されることを意味している。



1

【特許請求の範囲】

【請求項 1】 1つのウェハ上に S O I デバイスと非 S O I デバイスとを作製する方法において、
ウェハ基板内に第 1 のストレス界面領域を形成する工程と、

前記ウェハ基板内に第 2 のストレス界面領域を形成する工程と、

前記ウェハ基板と、前記第 1 および第 2 ストレス界面領域との上に、エッチング停止材料の層を付着する工程と、

前記エッチング停止材料の上に、前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、

前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間に、埋込み注入領域を形成する工程と、

前記イオン注入マスクと前記エッチング停止材料とを除去する工程と、

前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、を含むことを特徴とする方法。

【請求項 2】 前記分離領域上の領域内に、少なくとも 1 つの S O I デバイスを作製する工程をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 3】 前記分離領域上の領域外に、少なくとも 1 つの非 S O I デバイスを作製する工程をさらに含むことを特徴とする請求項 2 記載の方法。

【請求項 4】 前記分離領域上の領域内に、少なくとも 1 つの S O I デバイスを作製する工程と、

前記分離領域上の領域外に、少なくとも 1 つの非 S O I デバイスを作製する工程と、をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 5】 C M P 処理を用いて、前記ウェハの表面を研磨する工程をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 6】 前記ウェハ基板内に第 1 のストレス界面領域および第 2 のストレス界面領域を形成する工程は、1 つのウェハ・フィーチャ上に 2 つの異なる箇所形成する工程を含むことを特徴とする請求項 1 記載の方法。

【請求項 7】 1つのウェハ上に S O I デバイスと非 S O I デバイスとを作製する方法において、
ウェハ基板内に第 1 のストレス界面領域を形成する工程と、

前記ウェハ基板内に第 2 のストレス界面領域を形成する工程と、

前記ウェハ基板と、前記第 1 および第 2 ストレス界面領域との上に、エッチング停止材料の層を付着する工程と、

前記エッチング停止材料の上に、前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスク

2

を形成する工程と、

前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間に、埋込み注入領域を形成する工程と、

前記イオン注入マスクと前記エッチング停止材料とを除去する工程と、

前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、

前記分離領域上の領域内に、少なくとも 1 つの S O I デバイスを作製する工程と、

10 前記分離領域上の領域外に、少なくとも 1 つの非 S O I デバイスを作製する工程と、

C M P 処理を用いて、前記ウェハの表面を研磨する工程と、を含むことを特徴とする方法。

【請求項 8】 ウェハ上の S O I デバイスと非 S O I デバイスと同一の平面をなすウェハ表面を有する 1 つのウェハを作製する方法において、

ウェハ基板内に第 1 のストレス界面領域を形成する工程と、

前記ウェハ基板内に第 2 のストレス界面領域を形成する工程と、

前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間にある前記ウェハ基板の一部を除去する工程と、

前記ウェハ基板上に、エッチング停止材料を付着する工程と、

前記エッチング停止材料の上に、前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、

30 前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間に、埋込み注入領域を形成する工程と、

前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、を含むことを特徴とする方法。

【請求項 9】 C M P 処理を用いて、前記ウェハの表面を研磨する工程をさらに含むことを特徴とする請求項 8 記載の方法。

【請求項 10】 前記分離領域上の領域内に、少なくとも 1 つの S O I デバイスを作製する工程をさらに含むことを特徴とする請求項 8 記載の方法。

40 【請求項 11】 前記分離領域上の領域外に、少なくとも 1 つの非 S O I デバイスを作製する工程をさらに含むことを特徴とする請求項 10 記載の方法。

【請求項 12】 前記分離領域上の領域内に、少なくとも 1 つの S O I デバイスを作製する工程と、

前記分離領域上の領域外に、少なくとも 1 つの非 S O I デバイスを作製する工程と、をさらに含むことを特徴とする請求項 8 記載の方法。

【請求項 13】 前記ウェハ基板内に第 1 のストレス界面領域および第 2 のストレス界面領域を形成する工程は、1 つのウェハ・フィーチャ上に 2 つの異なる箇所形成

50

3

する工程を含むことを特徴とする請求項 8 記載の方法。

【請求項 1 4】ウェハ上の S O I デバイスと非 S O I デバイスと同一の平面をなすウェハ表面を有する 1 つのウェハを作製する方法において、
ウェハ基板内に第 1 のストレス界面領域を形成する工程と、
前記ウェハ基板内に第 2 のストレス界面領域を形成する工程と、
前記第 1 および第 2 のストレス界面領域外の前記ウェハ基板の領域をマスクする工程と、
前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間にある前記ウェハ基板の一部を除去する工程と、
前記ウェハ基板上にエッチング停止材料を付着する工程と、
前記エッチング停止材料の上に、前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、
前記第 1 のストレス界面領域と前記第 2 のストレス界面領域との間に、埋込み注入領域を形成する工程と、
前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、
CMP 処理を用いて、前記ウェハの表面を研磨する工程と、
前記分離領域上の領域内に、S O I デバイスを作製する工程と、
前記分離領域上の領域外に、非 S O I デバイスを作製する工程と、を含むことを特徴とする方法。

【請求項 1 5】第 1 のストレス界面領域を形成する前記工程と、第 2 のストレス界面領域を形成する前記工程とを同時に行うことを特徴とする請求項 1 4 記載の方法。

【請求項 1 6】第 1 のストレス界面領域を形成する前記工程と、第 2 のストレス界面領域を形成する前記工程とは、
前記ウェハ内にトレンチを形成する工程と、
前記トレンチを酸化物で充てんする工程と、を含むことを特徴とする請求項 1 4 記載の方法。

【請求項 1 7】第 1 のストレス界面領域を形成する工程と、第 2 のストレス界面領域を形成する工程とは、前記トレンチを充てんするのに用いられる酸化物にホウ素を添加する工程をさらに含むことを特徴とする請求項 1 4 記載の方法。

【請求項 1 8】第 1 のストレス界面領域を形成する工程と、第 2 のストレス界面領域を形成する工程とは、前記トレンチを充てんするのに用いられる酸化物にリンを添加する工程をさらに含むことを特徴とする請求項 1 4 記載の方法。

【請求項 1 9】前記ウェハ基板内に、第 1 のストレス界面領域を形成する工程と、第 2 のストレス界面領域を形

4

成する工程とは、1 つのウェハ・フィーチャを形成する工程を含むことを特徴とする請求項 1 4 記載の方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、一般的には、集積回路の製造に関するものである。より具体的には、本発明は、シリコン・オン・インシュレータ (S O I) デバイスおよび非 S O I デバイスの製造に関する。

【0 0 0 2】

【従来の技術】今日、我々の社会は、毎日の活動に、ハイテク電子デバイスにかなり依存している。集積回路は、我々の電子デバイスを活気づけるものである。集積回路は、電気器具、テレビジョン、パーソナルコンピュータ、さらには自動車において、世界中で広く用いられている。さらに、製造設備は、動作効率および製造効率について、集積回路の使用に段々と依存しつつある。実際に、多くの場合において、集積回路無しでは、我々の毎日の生活は機能しない。集積回路は、世界中で多量に生産され、改良された製造方法が、これらのデバイスの劇的な価格の減少につながっている。

【0 0 0 3】従来の集積回路製造方法は、1 つの幾何学的パターンまたは 1 組の幾何学的パターンを、動作集積回路に転写する一連の工程である。集積回路は、通常、シリコンウェハ基板上に形成された、導電材料、絶縁材料、トランジスタ形成材料の積層よりなる。これらの各積層に所定の幾何学的形状を設けることによって、所望の機能を実行する集積回路を、構成することができる。全製造プロセスは、典型的に、種々の層の部分の除去するために用いられる種々の化学物質をエッチャントとして用いて、特定の一連の連続層をパターンングすることよりなる。下側のシリコンウェハ上にパターンを形成する多数の異なるプロセスが存在する。これらの異なるプロセスは、所望の種類の集積回路を製造するように特別に構成されている。

【0 0 0 4】最近、シリコン・オン・インシュレータ (S O I) デバイスとして一般に知られる特定の集積回路デバイスを製造する多くのプロセスが開発されている。S O I デバイスは、基板材料上に形成された電氣的絶縁領域を被覆する薄いシリコン層内に作製された半導体デバイスである。この絶縁領域は、例えば、シリコンまたはガリウムヒ素のような半導体基板材料上に付着された S i O₂ 層を含むことができる。S O I 製造プロセスは、下側基板から電氣的に分離された回路デバイスを作製することを可能にする。S O I デバイスは、多くの従来の半導体デバイスに対して、いくつかの利点を与える。

【0 0 0 5】例えば、S O I デバイスは、一般に、同様の機能を実行する他の種類のデバイスよりも、低い電力消費要件を有している。また S O I デバイスは、低い寄生容量を典型的に有している。低い寄生容量は、得られ

5

た回路についてのスイッチング時間をより速くする。さらに、回路デバイスがSOI製造プロセスを用いて製造されるときには、従来の多くの相補形金属酸化半導体(CMOS)デバイスによってしばしば示される、周知ではあるが不所望な“ラッチアップ(latch up)”現象が避けられる。SOIデバイスは、また、電離放射線の悪影響にあまり受けず、したがって、電離放射線が動作エラーを生じさせる応用において、信頼性を高める傾向にある。

【0006】上述した多くの利点は、種々の集積回路応用にSOIデバイスが急速に受け入れられるようにした。セルラー電話、パーソナル・デジタル補助装置(PDA)、ノートブック形コンピュータのような、軽量で、携帯形のモバイル電子装置の人気の増大するにつれて、SOIデバイスの低電力消費の特徴が、これらの電子装置について、一般向けのデザイン選択を可能にした。SOIデバイスは、スイッチング速度が最も望ましく且つ有利である回路応用において特に好評であることが証明された。これらの応用は、メモリサポート回路および中央処理ユニット(CPU)回路のような回路を有している。SOIデバイスを用いてこれらの回路設計を行うことによって、個々の回路の演算速度を、かなり増大することができ、これにより全製品性能を増大させる。

【0007】かなり一般的になってきても、SOIデバイスは、すべての回路応用に有用ではない。SOIデバイスの動作特性の一定の制限が、SOIデバイスを特定の回路設計に受け入れなくする。例えば、典型的なSOIトランジスタの動作中に、付随する電位が十分に増大して、トランジスタのしきい値電圧(V_T)の変移を発生させるまで、電荷がトランジスタに累積する。この変移は、回路の動作に悪影響を与え、デバイスにより処理される情報にエラーを生じさせる。基準エラーに対する公差レベルに応じて、SOIデバイスは、特定の回路応用に受け入れることができ、あるいは受け入れることができない。

【0008】さらに、SOIデバイスを製造する製造プロセスには、特定の制限がある。一般に、SOIデバイスの製造プロセスは、非SOIデバイス製造プロセスよりも、より欠陥の多い回路をウェハから製造し、歩留りを低下させる。SOIデバイスを特徴づける電氣的絶縁領域の作製中に、欠陥が形成される。さらに、特定の応用におけるいくつかの回路は、特に欠陥に敏感であり、SOIデバイスは、これらの応用の多くにおいて良好に働かない。この種の回路応用の1つの例は、ダイナミック・ランダムアクセス・メモリ(DRAM)である。これらの制限の故に、大半の回路設計者は、多くの回路応用において、SOIデバイスと非SOIデバイスとの両方の組合せを用いて、一定の応用に対して最善の方法を選択することが有利であることを見いだした。

6

【0009】

【発明が解決しようとする課題】明らかに、1つのウェハ上にSOIデバイスと非SOIデバイスとの両方を用いて、完全な回路を作製することは、回路設計者にとって最も有利な解決方法を与えるであろう。しかし、1つのウェハ上にSOIデバイスおよび非SOIデバイスを作製することによって、製造効率を改善することが望ましいが、従来のウェハ処理技術は、この作業を、不可能ではないにしても、実現するのを非常に困難にしている。同一のウェハ上に、SOIデバイスと非SOIデバイスを作製するために用いられる現在の処理技術は、ウェハ表面に高ストレス領域を必ず生じる。この高ストレス領域は、最終的には、ウェハ上の回路に破壊的障害を発生させる。この問題を、以下に説明する。

【0010】SOIデバイスおよび非SOIデバイスの組合せウェハが製造されると、SOIデバイス形成プロセスは、約650℃~750℃の温度にウェハを加熱すること、およびSOIデバイスが形成されるべき領域内のウェハの表面下に、多量の酸素を注入することを含んでいる。次に、ウェハは、長時間、約1350℃で加熱される。この加熱サイクル中に、ウェハ内にSiO₂が形成される。基本的に、高い温度は、注入された酸素と、ウェハ基板内のシリコンとの間に化学反応を生じさせ、SiO₂を形成する。SiO₂は、基板内の下側シリコン(このシリコンからSiO₂が形成される)よりも、ウェハ上にかなり大きなスペースを占めるので、2つの領域内の構造的差異が、ウェハの表面の直下に、高ストレスの領域を生じる。このことは、Si欠陥を発生させ、このSi欠陥は回路障害を発生させる。このような制限が与えられると、同一ウェハ上にかなり多くのSOIデバイスと非SOIデバイスとを、経済的に作製することは、現在ではできない。

【0011】したがって、1つのウェハ上にSOIデバイスと非SOIデバイスを作製する実際的な方法を提供する必要性が存在する。この実際的な方法は、集積回路の設計者に、新規かつ有効な集積回路を形成するさらなる柔軟性を与える。同一基板上にSOIデバイスおよび非SOIデバイスを作製する方法が提供されなければ、集積回路の設計、製造、応用において、一定の進歩が不必要に制限され続けるであろう。

【0012】

【課題を解決するための手段】本発明の好適な実施例によれば、ウェハ上に形成されたストレス界面領域は、標準的なバルクCMOS(非SOI)デバイスおよびSOIデバイスは、同一ウェハ上に信頼性良く作製することを可能にする。SOIデバイス領域と非SOIデバイス領域との間に典型的に存在する高ストレス界面は、高ストレスが低減され緩和される領域に転移される。典型的に、このことは、高ストレス界面が、浅いトレンチ分離(STI)領域に類似のウェハ領域上に存在するように

7

作製されることを意味している。さらに、本発明の他の実施例を用いることによって、バルクCMOSデバイスとSOIデバイスとの両方を有するウェハについて、同一平面をなすウェハ表面を保持することができる。これは、酸素注入の前に、SOIデバイスのシリコン・ウェハをエッチングして、ストレス界面領域の表面が、ウェハの他の部分の全表面よりも低くなるようにすることによって行うことができる。したがって、SOIデバイスについて、SiO₂領域が形成されると、SOI領域の拡大が、SOIデバイスの表面を、ウェハの全表面まで持ち上げる。短時間の化学機械研磨(CMP)工程を含めて、ウェハ表面の均一性を保証することができる。

【0013】本発明の前述した特徴および他の特徴は、図面と共に説明する本発明の好適な実施例についての以下の詳細な説明より明らかとなるであろう。

【0014】

【発明の実施の形態】本発明は、集積回路デバイス、特に、SOIデバイスの製造に関する。CMOSデバイスおよびSOIデバイスに詳しくない人には、以下の概説は、本発明の理解を助けるいくつかの基本的な概念を与える。当業者は、この章を飛ばして、詳細な説明の章から読むことができる。

【0015】1. 概説

図1において、典型的なバルクCMOS(非SOI)ウェハ100の一部は、基板110と、nウェル120と、nウェル・コンタクト125と、pウェル130と、n⁺ソースおよびドレイン拡散135と、ポリシリコン・ゲートコンタクト140と、p⁺ソースおよびドレイン拡散145と、pウェル・コンタクト155と、デバイス分離領域160と、nチャネル170と、pチャネル180と、ゲート酸化物190とを有している。

【0016】pチャネル・デバイスまたはnチャネル・デバイスのような特定のデバイスの表示は、デバイスを作製するのに用いられる製造プロセスの種類に基づいている。基板110は、当業者には既知の半導体材料である。種々のウェルおよびコンタクトは、ウェハが製造されているときに、異なる種類の成分を用いることによって作られる。通常動作では、nウェル・コンタクト125は、V_{DD}に接続され、pウェル・コンタクト155は、グランドに接続される。

【0017】図2において、典型的なSOIウェハ200の一部は、基板210と、ポリシリコン・ゲートコンタクト140と、埋込み酸化物層220と、活性領域230とを有している。活性領域230は、シリコンの薄層であり、n⁺ソースおよびドレイン拡散135と、p⁺ソースおよびドレイン拡散145と、デバイス分離領域160と、nチャネル170と、pチャネル180と、ゲート酸化物190とを有している。

【0018】基板210は、当業者には既知の、半導体材料、または金属、またはガラスである。ソースおよび

8

ドレイン拡散135、145は、埋込み酸化物220に典型的に接している。デバイス分離領域160および埋込み酸化物層220は、ソースおよびドレイン拡散135と145とを電氣的に分離させるように働き、基板210を経て、デバイスへ、およびデバイスから、電荷が転送されるのを防止する。

【0019】2. 詳細な説明

図3において、本発明の好適な実施例に用いるのに適したウェハ構造300は、基板310と、ストレス界面領域320とを有している。ウェハ構造300は、集積回路チップを製造するのに用いられる大きなウェハの小部分を示している。基板310は、当業者には既知の種類の基板材料よりなる。典型的な基板材料の一例は、シリコン(Si)である。基板310は、PウェルおよびNウェル・トランジスタゲートのような集積回路要素と、当業者には周知の多くの他の回路要素(図示せず)とを有している。典型的に、ストレス界面領域320は、ウェハの表面をエッチングし、層を酸化し、エッチングされた領域に酸化物を成長または付着し、標準的な化学機械研磨(CMP)プロセスによって、ウェハの表面を研磨することによって形成される。

【0020】ストレス界面領域320は、典型的な浅いトレンチ分離(Shallow Trench Isolation: STI)処理法によって形成することができる。しかし、当業者には既知のいかなる処理方法も、ストレス界面領域320を形成するのに用いることができることに留意すべきである。ストレス界面領域320は、当業者に既知の適切な半導体構造とすることができる。この半導体構造は、ここで説明する酸化物充てんトレンチを含むが、これに限定されるものではない。ストレス界面領域320は、断面において、別個の分離された領域に見えるが、典型的に、ウェハ構造300上の同一フィーチャの2つの異なる部分である。ウェハ構造300の上面では、ストレス界面領域320は、大きなストレス界面領域上の2つの別個の点のように見えるであろう。ストレス界面領域320は、同じ処理工程で、他のSTI領域と共に同時に形成することができ、あるいはまた、ストレス界面領域320は、別個の処理工程で独立して形成することもできる。

【0021】図4において、基板310およびストレス界面領域320上に付着された薄いエッチング停止層410を有する図3のウェハ構造300を示している。エッチング停止層410は、続くエッチング工程から、ストレス界面領域320と基板310とをマスクまたは保護するための、“エッチング停止”層または境界材料として働く適切な材料で形成することができる。エッチング停止層410に適切な1つの材料は、窒化物である。エッチング停止材料の使用は、当業者には周知である。

【0022】図5において、イオン注入マスク500を、エッチング停止層410およびウェハ構造300の

9

表面上に形成した。イオン注入マスク 5 0 0 は、典型的に、化学蒸着 (CVD) によって形成され、続く酸素のイオン注入を阻止するのに十分に厚くなければならない。イオン注入マスク 5 0 0 は、酸化物、窒化物、ポリシリコン、またはイオン注入処理温度に耐えることができ、イオン注入から特定の領域をマスクする必要な機能を実行することのできる他の適切な材料から形成できる。イオン注入マスク 5 0 0 は、ストレス界面領域 3 2 0 の中央上でほぼ終了するようにパターニングされ、これによりストレス界面領域 3 2 0 間の領域を、次の工程で与えられるイオン注入に曝露する。典型的な注入種は、帯電した酸素原子 (O^+)、帯電した酸素分子 (O_2^+)、または注入領域 5 1 0 を作製するのに用いることのできる他の適切な材料を含む。注入領域 5 1 0 が形成された後、イオン注入マスク 5 0 0 およびエッチング停止層 4 1 0 を、標準的なウェハ処理技術を用いて、剥離し除去する。イオン注入マスク 5 0 0 およびエッチング停止層 4 1 0 の除去に続いて、ウェハ構造 3 0 0 はウェハ炉内に設けられて、1 3 0 0℃~1 4 0 0℃、約 6 時間、アニールされる。

【0 0 2 3】このアニール工程の際に、ストレス界面領域 3 2 0 内の酸化物は、酸化物のガラス転移温度以上の温度に保持される。このことは、ストレス界面領域 3 2 0 内の酸化物が、固体よりもむしろ液体となることを可能にする。このことは重要である。というのは、アニール工程の際に、注入領域 5 1 0 内の注入酸素が、基板 3 1 0 内のシリコンと反応して、 SiO_2 を形成し、体積を増大するからである。ストレス界面領域 3 2 0 の液体のような特性は、注入領域 5 1 0 が拡大するときに通常発生するストレスを緩和する。

【0 0 2 4】図 6 には、ウェハ炉から取出した後のウェハ構造 3 0 0 を示す。このウェハ構造は、上述した処理の結果、注入領域 5 1 0 から形成された変位 (Si) 領域 6 1 0 および埋込み酸化物 ($BOX: Buried Oxide$) 領域 6 2 0 を有している。注入領域 5 1 0 が酸化されると、体積が増大する。その結果、シリコン領域 6 1 0 は、注入領域 5 1 0 の拡大によって、上方に押し上げられる。というのは、 BOX 領域 6 2 0 は、基板 3 1 0 内の下側シリコン (このシリコンから BOX 領域が形成される) よりも大きな体積を有するからである。ストレス界面領域 3 2 0 は、ウェハ構造 3 0 0 の表面上の、 SOI 領域と非 SOI 領域との間の境界に通常関連するストレスを吸収して、 SOI デバイスと非 SOI デバイスの両方を、許容レベルの信頼性を有して、製造できることを可能にする。ストレス界面領域 3 2 0 は、ここで説明する必要な機能を与える適切な深さとすることができる。

【0 0 2 5】図 7 において、1 つのウェハ上に SOI デバイスおよび非 SOI デバイスを作製する一般的な製造方法 7 0 0 を説明する。前述したように、いくつかの

10

トレス界面領域が、基板材料内に形成され (工程 7 1 0)、窒化物のようなエッチング停止材料が、基板の表面上に付着される (工程 7 2 0)。エッチング停止材料が付着された後、ストレス界面領域間の領域を露出したまま、イオン注入マスクが形成され (工程 7 3 0)、埋込みイオン注入領域が形成される (工程 7 4 0)。イオン注入領域が形成された後、イオン注入マスクおよびエッチング停止層が、通常の方法によって除去される (工程 7 5 0)。次に、ウェハが比較的高温でアニールされて、 BOX 領域 6 2 0 上にシリコン領域 6 1 0 が形成される (工程 7 6 0)。図 6 に示すように、アニール工程後 (工程 7 6 0)、ウェハ構造 3 0 0 の表面は、かなり凹凸があり、シリコン領域 6 1 0 は、ウェハ構造 3 0 0 の周囲表面よりも高い。ウェハ構造 3 0 0 はの表面におけるこの不均一さは、いくつかの応用については望ましいものではなく、以下に説明するように、いくつかの処理工程を付加することによって、修正することができる。シリコン領域 6 1 0 の実際の変位は、説明のために誇張している。

【0 0 2 6】図 8 において、本発明の好適な実施例に用いるのに適したウェハ構造 8 0 0 は、基板 8 1 0 と、ストレス界面領域 8 2 0 とを有している。ウェハ構造 8 0 0 は、集積回路チップを製造するのに用いられる大きなウェハの一部を示している。基板 8 1 0 は、当業者には既知のあらゆる種類の基板材料よりなる。典型的な基板材料の一例は、シリコン (Si) である。基板 8 1 0 は、 P ウェルおよび N ウェル・トランジスタゲートのような集積回路要素と、当業者には周知の多くの他の回路要素 (図示せず) とを有している。

【0 0 2 7】前述したように、ストレス界面領域 8 2 0 は、ウェハの表面をエッチングし、層を酸化し、エッチングされた領域に酸化物を成長または付着し、標準的な化学機械研磨 (CMP) プロセスによって、ウェハの表面を研磨することによって典型的に形成される。当業者に既知のいかなる処理方法も、ストレス界面領域 8 2 0 を形成するのに用いることができることに留意すべきである。ストレス界面領域 8 2 0 は、当業者に既知の適切な半導体構造とすることができる。この半導体構造は、ここで説明する酸化物充填トレンチを含むが、これに限定されるものではない。

【0 0 2 8】図 9 において、ウェハ構造 8 0 0 の表面の一部は、エッチャント・マスク 9 1 0 によって覆われる。このマスクは、続く処理工程の際に、マスクされた領域をエッチングされることから防止する。エッチャント・マスク 9 1 0 は、当業者に既知のプロセスによって形成することができる。エッチャント・マスク 9 1 0 は、ストレス界面領域 8 2 0 上でほぼ終了するようにパターニングされ、ストレス界面領域 8 2 0 間の領域を、次の工程で与えられるエッチャントに曝露する。

【0 0 2 9】図 1 0 で、ストレス界面領域 8 2 0 間にあ

10

20

30

40

50

11

る基板 810 の一部がエッチング除去された。さらに、エッチャント・マスク 910 は、剥離除去された。シリコンをエッチングし、エッチャント・マスクを除去するために用いられるプロセスは、当業者には周知である。

【0030】図 11 には、基板 810 およびストレス界面領域 820 の表面上に付着された薄いエッチング停止層 1110 を有する図 10 のウェハ構造 800 が示されている。エッチング停止層 1110 は、ストレス界面領域 820 および基板 810 を、続くエッチング工程からマスクし保護する“エッチング停止”層または境界材料として作用する適切な材料で形成することができる。エッチング停止層 1110 の 1 つの適切な材料は、窒化物である。エッチング停止材料の使用は、当業者には周知である。

【0031】図 12 において、イオン注入マスク 1200 を、エッチング停止層 1110 およびウェハ構造 800 の表面上に形成した。イオン注入マスク 1200 は、典型的に、化学蒸着 (CVD) によって形成され、続く酸素のイオン注入を阻止するのに十分に厚くなければならない。イオン注入マスク 1200 は、酸化物、窒化物、ポリシリコン、またはイオン注入処理温度に耐えることができ、イオン注入から特定の領域をマスクする必要な機能を実行することのできる他の適切な材料から形成できる。イオン注入マスク 1200 は、ストレス界面領域 820 の中央上で終了するようにパターニングされ、これによりストレス界面領域 820 間の領域を、次の工程で与えられるイオン注入に曝露する。

【0032】図 13 において、イオン注入領域 1310 は、ウェハ基板 810 内に形成された。典型的な注入種は、帯電した酸素原子 (O^+)、帯電した酸素分子 (O_2^+)、または注入領域を作製するのに用いることのできる他の適切な材料を含む。注入領域 1310 が形成された後、イオン注入マスク 1200 およびエッチング停止層 1110 を、標準的なウェハ処理技術を用いて、剥離し除去する。イオン注入マスク 1200 およびエッチング停止層 1110 の除去に続いて、ウェハ構造 800 はウェハ炉内に設けられて、1300℃～1400℃、約 6 時間、アニールされる。

【0033】このアニール工程の際に、ストレス界面領域 820 内の酸化物は、酸化物のガラス転移温度以上の温度に保持される。このことは、ストレス界面領域 820 内の酸化物が、固体よりもむしろ液体となることを可能にする。このことは重要である。というのは、アニール工程の際に、注入領域 1310 内の注入酸素は、基板 810 内のシリコンと反応して、 SiO_2 を形成し、体積を増大するからである。ストレス界面領域 820 の液体のような特性は、注入領域 1310 が拡大するとき通常発生するストレスを緩和する。

【0034】図 14 には、ウェハ炉から取出した後のウェハ構造 800 を示す。このウェハ構造は、上述した処

12

理の結果、注入領域 1310 から形成された変位 (Si) 領域 1410 および埋込み酸化物 (BOX) 領域 1420 を有している。注入領域 1310 が酸化されると、体積が増大する。その結果、シリコン領域 1410 は、注入領域 1310 の拡大によって、上方に押し上げられる。というのは、 BOX 領域 1420 は、基板 810 内の下側シリコン (このシリコンから BOX 領域が形成される) よりも大きな体積を有するからである。ストレス界面領域 820 は、ウェハ構造 800 の表面上の、 SOI 領域と非 SOI 領域との間の境界に通常関連するストレスを吸収して、 SOI デバイスと非 SOI デバイスの両方が、許容レベルの信頼性を有して、製造できることを可能にする。

【0035】図 15 において、同一表面を維持しながら 1 つのウェハ上に SOI デバイスおよび非 SOI デバイスを作製する一般的な製造方法 1500 を説明する。この方法は、図 7 と共に前述した方法にほぼ類似している。工程 1510、1540、1550 は、それぞれ、工程 710、720、730 に相当している。さらに、工程 1560、1570、1580 は、工程 740、750、760 に相当している。さらに、他のいくつかの処理工程を加えた。特に、ストレス界面領域 820 が形成された後に、非 SOI デバイスが形成されるウェハ 810 の領域がマスクされ (工程 1520)、 SOI デバイスが形成される領域内のシリコンは、通常のエッチング処理を用いて、エッチングされる。(工程 1530)。

【0036】これらの追加の処理工程は、ウェハ構造 800 の他の部分の表面よりも低いストレス界面領域 820 間に位置する基板の表面を形成する。したがって、アニール工程が行われた後 (工程 1570)、注入領域 1310 の拡大は、ストレス界面領域 820 間に位置するシリコン領域 1410 の表面を、ウェハ構造 800 の表面の他の部分とほぼ同一平面にする。この工程には、任意に、化学機械研磨 (CMP) 処理工程を続けて、ウェハ構造 800 の表面の均一性を増大させることができる。

【0037】本発明およびその実際的な応用を説明し、当業者が本発明をなし且つ使用できるようにするために、実施例を説明した。本発明の趣旨および範囲から逸脱することなしに、前述した教示から、多くの変更、変形が可能である。例えば、ストレス界面領域 320 および 820 内の酸化物と作用するホウ素またはリンの添加は、ガラス転移温度を下げ、アニール工程がさらに低い温度で行われることを可能にする。さらに、ストレス界面領域 320、820 の実際の深さを調整して、 BOX 領域 620、1420 を、ウェハの下側の多くの異なる箇所に形成することができる。しかし、当業者は、前述した説明および実施例は、そのためにのみ示されたものであることがわかるであろう。前述した説明は、本発明

13

の一部分であり、本発明を開示したもののにのみ限定するものではない。

【0038】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 1つのウェハ上にSOIデバイスと非SOIデバイスとを作製する方法において、ウェハ基板内に第1のストレス界面領域を形成する工程と、前記ウェハ基板内に第2のストレス界面領域を形成する工程と、前記ウェハ基板と、前記第1および第2ストレス界面領域との上に、エッチング停止材料の層を付着する工程と、前記エッチング停止材料の上に、前記第1のストレス界面領域と前記第2のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、前記第1のストレス界面領域と前記第2のストレス界面領域との間に、埋込み注入領域を形成する工程と、前記イオン注入マスクと前記エッチング停止材料とを除去する工程と、前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、を含むことを特徴とする方法。

(2) 前記分離領域上の領域内に、少なくとも1つのSOIデバイスを作製する工程をさらに含むことを特徴とする上記(1)に記載の方法。

(3) 前記分離領域上の領域外に、少なくとも1つの非SOIデバイスを作製する工程をさらに含むことを特徴とする上記(2)に記載の方法。

(4) 前記分離領域上の領域内に、少なくとも1つのSOIデバイスを作製する工程と、前記分離領域上の領域外に、少なくとも1つの非SOIデバイスを作製する工程と、をさらに含むことを特徴とする上記(1)に記載の方法。

(5) CMP処理を用いて、前記ウェハの表面を研磨する工程をさらに含むことを特徴とする上記(1)に記載の方法。

(6) 前記ウェハ基板内に第1のストレス界面領域および第2のストレス界面領域を形成する工程は、1つのウェハ・フィーチャ上に2つの異なる箇所形成する工程を含むことを特徴とする上記(1)に記載の方法。

(7) 1つのウェハ上にSOIデバイスと非SOIデバイスとを作製する方法において、ウェハ基板内に第1のストレス界面領域を形成する工程と、前記ウェハ基板内に第2のストレス界面領域を形成する工程と、前記ウェハ基板と、前記第1および第2ストレス界面領域との上に、エッチング停止材料の層を付着する工程と、前記エッチング停止材料の上に、前記第1のストレス界面領域と前記第2のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、前記第1のストレス界面領域と前記第2のストレス界面領域との間に、埋込み注入領域を形成する工程と、前記イオン注入マスクと前記エッチング停止材料とを除去する工程と、前記ウェハをアニールして、前

14

記埋込み注入領域を分離領域に変換する工程と、前記分離領域上の領域内に、少なくとも1つのSOIデバイスを作製する工程と、前記分離領域上の領域外に、少なくとも1つの非SOIデバイスを作製する工程と、CMP処理を用いて、前記ウェハの表面を研磨する工程と、を含むことを特徴とする方法。

(8) ウェハ上のSOIデバイスと非SOIデバイスと同一の平面をなすウェハ表面を有する1つのウェハを作製する方法において、ウェハ基板内に第1のストレス界面領域を形成する工程と、前記ウェハ基板内に第2のストレス界面領域を形成する工程と、前記第1のストレス界面領域と前記第2のストレス界面領域との間にある前記ウェハ基板の一部を除去する工程と、前記ウェハ基板上に、エッチング停止材料を付着する工程と、前記エッチング停止材料の上に、前記第1のストレス界面領域と前記第2のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、前記第1のストレス界面領域と前記第2のストレス界面領域との間に、埋込み注入領域を形成する工程と、前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、を含むことを特徴とする方法。

(9) CMP処理を用いて、前記ウェハの表面を研磨する工程をさらに含むことを特徴とする上記(8)に記載の方法。

(10) 前記分離領域上の領域内に、少なくとも1つのSOIデバイスを作製する工程をさらに含むことを特徴とする上記(8)に記載の方法。

(11) 前記分離領域上の領域外に、少なくとも1つの非SOIデバイスを作製する工程をさらに含むことを特徴とする上記(10)に記載の方法。

(12) 前記分離領域上の領域内に、少なくとも1つのSOIデバイスを作製する工程と、前記分離領域上の領域外に、少なくとも1つの非SOIデバイスを作製する工程と、をさらに含むことを特徴とする上記(8)に記載の方法。

(13) 前記ウェハ基板内に第1のストレス界面領域および第2のストレス界面領域を形成する工程は、1つのウェハ・フィーチャ上に2つの異なる箇所形成する工程を含むことを特徴とする上記(8)に記載の方法。

(14) ウェハ上のSOIデバイスと非SOIデバイスと同一の平面をなすウェハ表面を有する1つのウェハを作製する方法において、ウェハ基板内に第1のストレス界面領域を形成する工程と、前記ウェハ基板内に第2のストレス界面領域を形成する工程と、前記第1および第2のストレス界面領域の外の前記ウェハ基板の領域をマスクする工程と、前記第1のストレス界面領域と前記第2のストレス界面領域との間にある前記ウェハ基板の一部を除去する工程と、前記ウェハ基板上にエッチング停止材料を付着する工程と、前記エッチング停止材料の上

15

に、前記第1のストレス界面領域と前記第2のストレス界面領域との間にある前記エッチング停止材料を覆わないようにイオン注入マスクを形成する工程と、前記第1のストレス界面領域と前記第2のストレス界面領域との間に、埋込み注入領域を形成する工程と、前記ウェハをアニールして、前記埋込み注入領域を分離領域に変換する工程と、CMP処理を用いて、前記ウェハの表面を研磨する工程と、前記分離領域上の領域内に、SOIデバイスを作製する工程と、前記分離領域上の領域外に、非SOIデバイスを作製する工程と、を含むことを特徴とする方法。

(15) 第1のストレス界面領域を形成する前記工程と、第2のストレス界面領域を形成する前記工程とを同時にを行うことを特徴とする上記(14)に記載の方法。

(16) 第1のストレス界面領域を形成する前記工程と、第2のストレス界面領域を形成する前記工程とは、前記ウェハ内にトレンチを形成する工程と、前記トレンチを酸化物で充てんする工程と、を含むことを特徴とする上記(14)に記載の方法。

(17) 第1のストレス界面領域を形成する工程と、第2のストレス界面領域を形成する工程とは、前記トレンチを充てんするのに用いられる酸化物にホウ素を添加する工程をさらに含むことを特徴とする上記(14)に記載の方法。

(18) 第1のストレス界面領域を形成する工程と、第2のストレス界面領域を形成する工程とは、前記トレンチを充てんするのに用いられる酸化物にリンを添加する工程をさらに含むことを特徴とする上記(14)に記載の方法。

(19) 前記ウェハ基板内に、第1のストレス界面領域を形成する工程と、第2のストレス界面領域を形成する工程とは、1つのウェハ・フィーチャを形成する工程を含むことを特徴とする上記(14)に記載の方法。

【図面の簡単な説明】

【図1】バルクCMOSウェハの一部の断面図である。

【図2】SOIウェハの一部の断面図である。

【図3】2つのストレス界面領域すなわち浅いトレンチ分離(STI)領域を示す半導体ウェハの断面図である。

【図4】表面上に付着されたエッチング停止層を有する図3の半導体ウェハの断面図である。

【図5】ウェハ内に形成された注入領域を有する図4の半導体ウェハの断面図である。

【図6】形成されたSOI領域を有する図5の半導体ウェハの断面図である。

16

【図7】本発明の好適な実施例に基づいてウェハを製造する方法を示すフローチャートである。

【図8】1対の浅いトレンチ分離(STI)領域を有する半導体ウェハの断面図である。

【図9】エッチャント・マスクが設けられた図8の半導体ウェハの断面図である。

【図10】表面がエッチング除去された一部を有する図9の半導体ウェハの断面図である。

【図11】表面上に付着したエッチング停止層を有する図10の半導体ウェハの断面図である。

【図12】ウェハの一部を覆うイオン注入マスクを有する図11の半導体ウェハの断面図である。

【図13】ウェハ内に形成されたイオン注入領域を有する図12の半導体ウェハの断面図である。

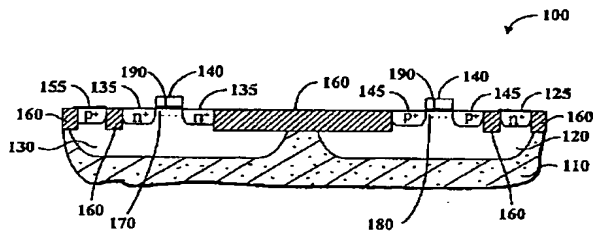
【図14】形成されたSOI領域を有する図13の半導体ウェハの断面図である。

【図15】本発明の他の好適な実施例に基づいてウェハを製造する方法を示すフローチャートである。

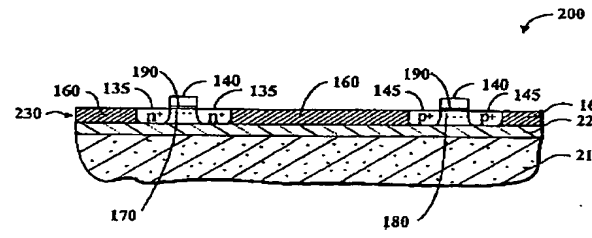
【符号の説明】

100	バルクCMOSウェハ
110	基板
120	nウェル
125	nウェル・コンタクト
130	pウェル
135	n ⁺ ソースおよびドレイン拡散
140	ポリシリコン・ゲートコンタクト
145	p ⁺ ソースおよびドレイン拡散
155	pウェル・コンタクト
160	デバイス分離領域
170	nチャネル
180	pチャネル
190	ゲート酸化物
200	SiO ₂ ウェハ
220	埋込み酸化物層
230	活性領域
300, 800	ウェハ構造
310, 810	基板
320, 820	ストレス界面領域
410, 1110	エッチング停止層
500, 1200	イオン注入マスク
510, 1310	イオン注入領域
610	シリコン領域
620	埋込み酸化物領域
910	エッチャント・マスク

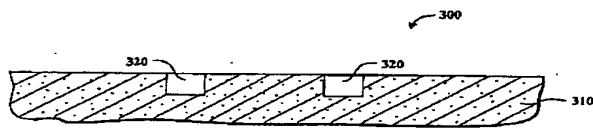
【図 1】



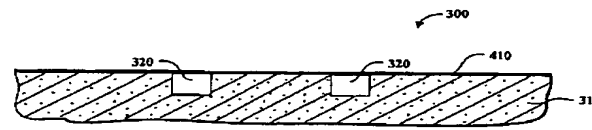
【図 2】



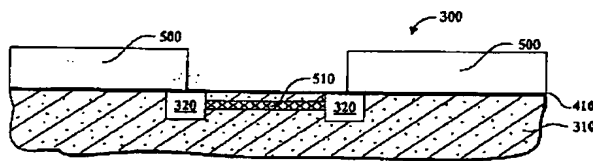
【図 3】



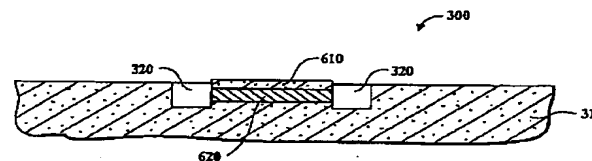
【図 4】



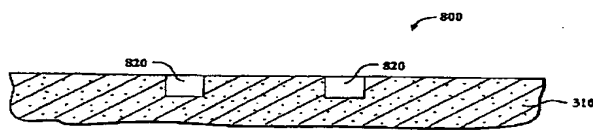
【図 5】



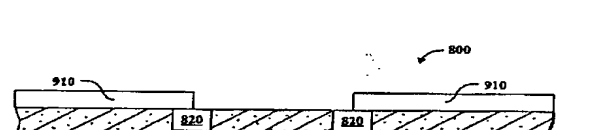
【図 6】



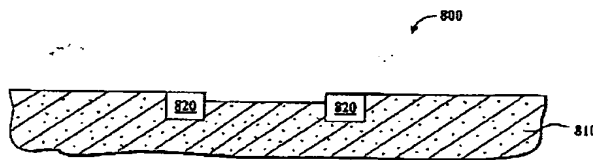
【図 8】



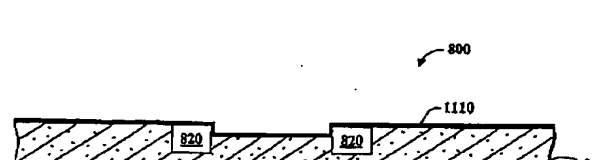
【図 9】



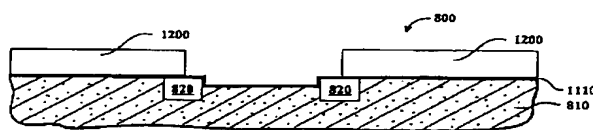
【図 10】



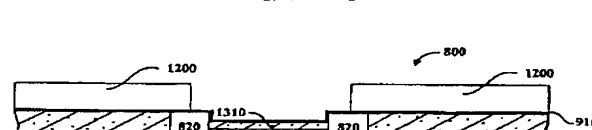
【図 11】



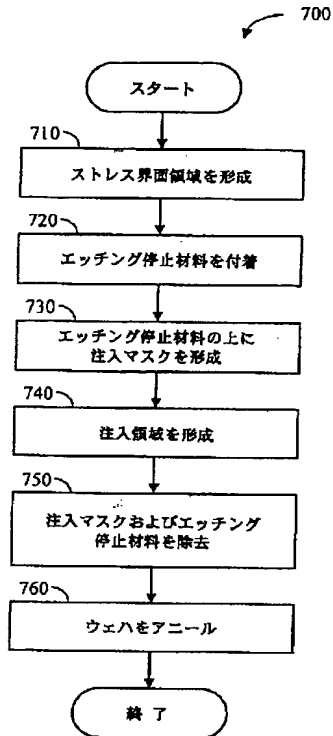
【図 12】



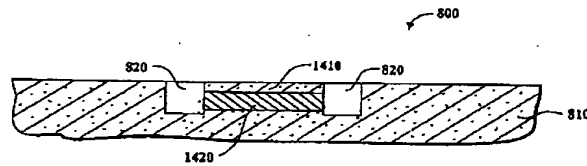
【図 13】



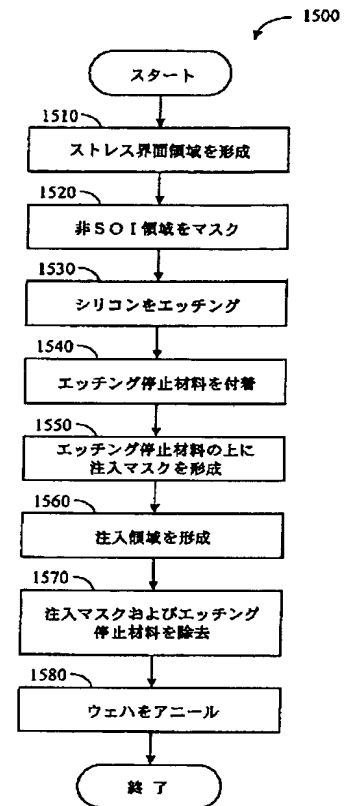
【図 7】



【図 14】



【図 15】



フロントページの続き

(72) 発明者 マーク・シー・ヘイキ
 アメリカ合衆国 05468 バーモント州
 ミルトン ジャクソン ロード 64
 (72) 発明者 スティーヴン・ジェイ・ホルムズ
 アメリカ合衆国 05468 ディー バーモ
 ント州 ミルトン ピーオーボックス897
 ローリン デヴィノ ロード ナンバー
 9

(72) 発明者 デヴィッド・ブイ・ホラック
 アメリカ合衆国 05452 バーモント州
 エセックス ジャンクション プライアー
 レーン 47
 (72) 発明者 ポウル・エイ・ラビドゥ
 アメリカ合衆国 05404 バーモント州
 ウィヌースキー ディオン ストリート
 95